



Realizacija serijske komunikacije z RS-232 protokolom v QCA Designerju

**Polona Antončič, Primož Kržišnik, Matija Verbič, Ana
Žavbi**

Univerza v Ljubljani, Fakulteta za računalništvo in informatiko

Povzetek. Poročilo za seminarsko nalogo *Realizacija serijske komunikacije z RS-232 protokolom v QCA Designerju* pri predmetu Optične in nanotehnologije.

Kazalo.	
1 Uvod	3
1.1 Opis Problema	3
1.2 O standardu RS-232	3
2 QCA	3
2.1 Strukture	3
2.1.1 Negator	3
2.1.2 Majoritetna vrata	3
2.1.3 MUX 2/1	4
3 Metode	5
3.1 Logična Shema	5
3.1.1 Shema oddajnika	5
3.1.2 Shema sprejemnika	5
3.2 Analiza delovanja	5
3.2.1 Oddajnik	5
3.2.2 Sprejemnik	6
4 Rezultati	9
5 Zaključek	10
Literatura	12

1. Uvod

1.1. Opis Problema

Realizacija serijske komunikacije z RS-232 protokolom (z lastnostmi 2/N/1) z uporabo programa QCADesigner. Notacija 2/N/1 pomeni, da po liniji pošiljamo 2 podatkovna bita, brez paritete in en stop bit.

1.2. O standardu RS-232

RS-232 oz. Recommended Standard 232 je združnje IEA sprejelo 1969. Skozi svoj obstoj je večkrat spremenil ime, zato ga lahko najdemo tudi pod imeni: EIA RS-232, EIA 232 in TIA 232.

Standard RS-232 je serijski komunikacijski standard za prenos informacij med računalnikom (DTE - Data Terminal Equipment) in modemom (DCE - Data Circuit-terminating Equipment). Namenjen je serijskemu prenosu podatkov na kratkih razdaljah.

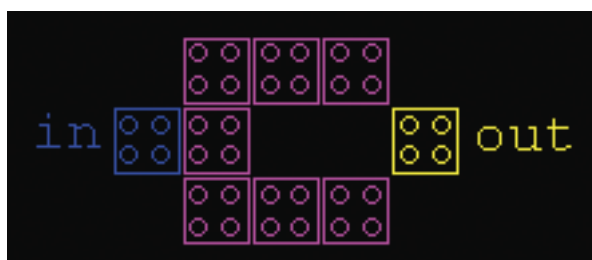
2. QCA

QCA je kratica za Quantum-dot cellular automata oz. kvantni celični avtomat. Osnovni gradnik kvantnega celičnega avtomata je kvantna ali QCA celica z dvema elektronom in štirimi kvantnimi pikami. Kadar ni zunanjih vplivov, se elektrona nahajata v nasprotni si ležečih vogalih celice, kar nam da dve osnovni razporeditvi, ki ustrezata predstavitvi logične ničle in enice.

2.1. Strukture

Za realizacijo naloge smo uporabili naslednje strukture:

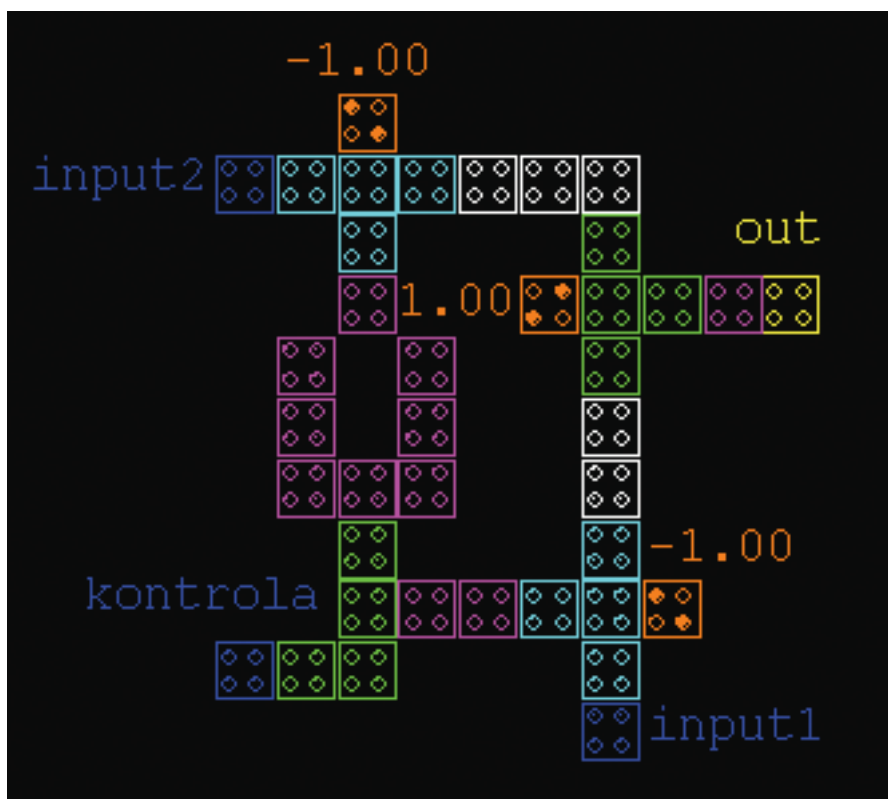
2.1.1. Negator Izkorišča lastnost 45-stopinjske žice, to je, da se celici, ki se stikata z vogaloma, postavita v nasprotni polarizaciji. Zaradi manjših vplivov motenj iz okolja smo uporabili razširjen negator.



Slika 1. Razširjen negator

2.1.2. Majoritetna vrata Izhod vrat podaja večinsko stanje vhodov (če je večina vhodov na logični enki, je tak tudi izhod, če pa je število vhodov na logični ničli večje od števila vhodov na logični enki, je na izhodu logična ničla).

2.1.3. *MUX 2/1* Za realizacijo odajnika smo iz osnovnih elementov sestavili multiplekser z dvema vhodi in enim izhodom.



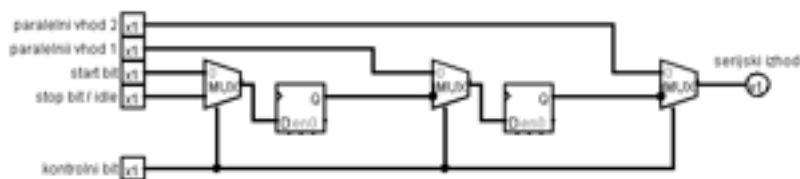
Slika 2. Multiplekser

3. Metode

3.1. Logična Shema

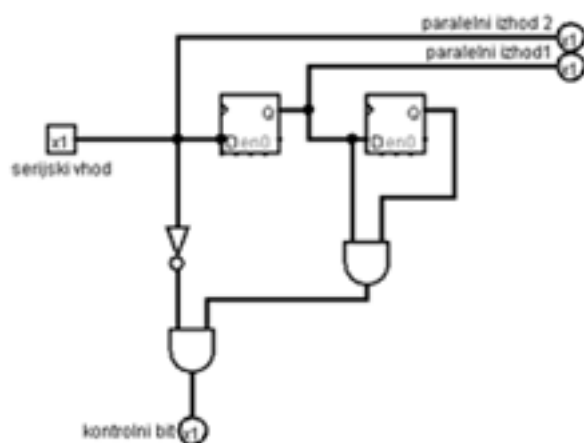
Spodnji shemi sta logični shemi za sistem, ki smo ga zgradili v QCA Designerju.

3.1.1. Shema oddajnika Ta logična shema se od prave realizacije razlikuje le v zakasnitvah kontrolnega bita, ki mora priti do multiplekserjev v različnih zamikih zato da bo oddajnik pravilno deloval. Zaradi enostavnosti in boljšega razumevanja zakasnitev ni prikazana na shemi.



Slika 3. Shema oddajnika

3.1.2. Shema sprejemnika Logična shema sprejemnika:



Slika 4. Shema sprejemnika

3.2. Analiza delovanja

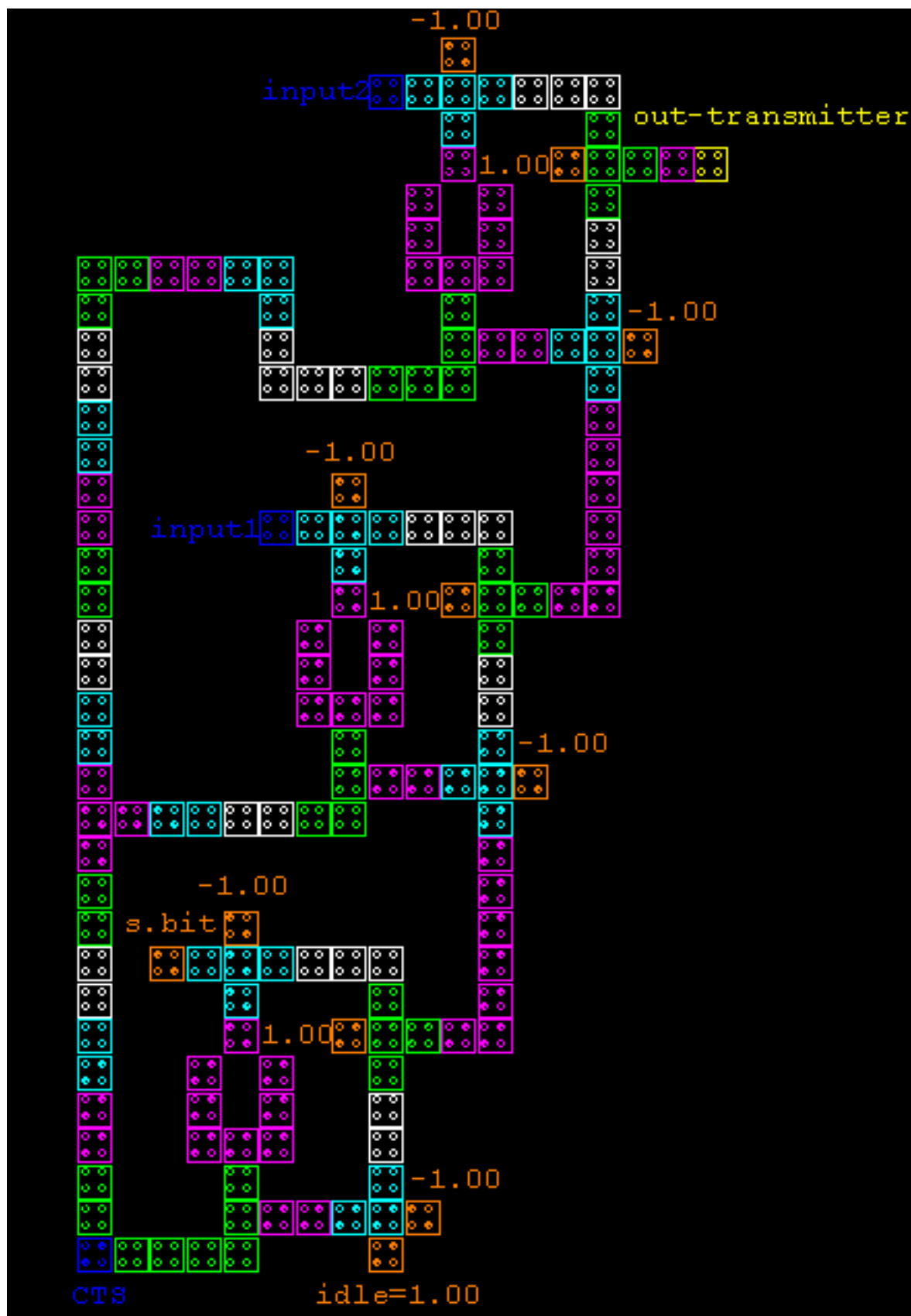
Izdelali smo sistem za serijsko komunikacijo (RS232) z dvema glavnima komponentama - oddajnikom in sprejemnikom ter povezovalno serijsko linijo. Linija je ob neaktivnosti med sprejemnikom in oddajnikom v visokem stanju (logična 1).

3.2.1. Oddajnik Kadar želimo poslati podatek, moramo postaviti bit CTS (Clear To Send) v nizko stanje. To označuje signal za začetek pošiljanja podatkov. Po postavitvi

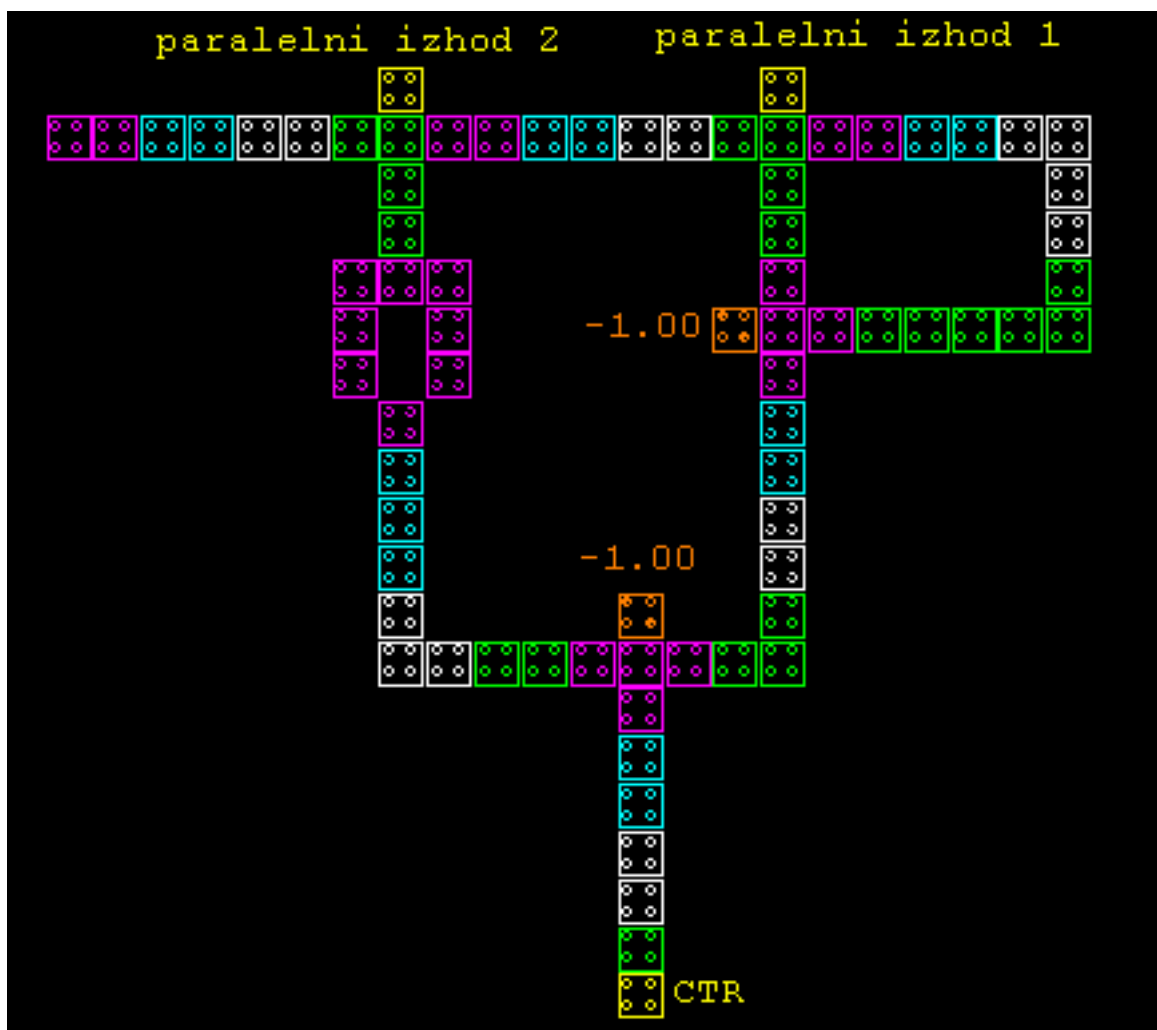
bita CTS moramo zagotoviti veljavne podatke na vseh vsaj nadaljne 4 urine periode. Input1 in input2 sta vhodna podatka, ki ju želimo poslati, bita start in stop pa sta že prednastavljena, kot zahteva protokol, start v nizkem, stop pa v visokem stanju. Stop bit je enak mirovnemu stanju linije. Ob postavitvi kontrolnega bita v nizko stanje, ta z zakasnitvijo potuje do multiplekserjev in jih v pravilnem zaporedju preklaplja, da podatki in kontrolni biti serijsko preidejo v linijo. Ko je kontrolni vhod na multiplekserju v visokem stanju, le-ta prepusti prejšnji vhod na naslednjega in tako dosežemo da se na linijo pošiljajo samo idle znaki. Na izhodu oddajnika se po treh periodah pojavi prvi serijski bit sekvence.

Med dvema oddajanjema morata biti na serijski liniji vsaj dve logični enici za potrebe sprejemnika, kar pomeni da lahko na vhod oddajnika pripeljemo veljavne podatke na vsakih pet period (tri za delovanje oddajnika in dve za idle).

3.2.2. Sprejemnik Sprejemnik dobiva serijske podatke z linije. Pri dveh podatkovnih bitih je za začetek podatkovnega paketa potrebno dekodirati dva idle bita in start bit, saj se to zaporedje na liniji pojavi samo ob začetku podatkovne sekvence. Ko pride začetno zaporedje treh bitov v sprejemnik, jih le ta zazna ter postavi bit CTR (clear to receive) na logično enko. Istočasno ob veljavnem CTR dobimo na paralelnih izhodih veljavne podatke.



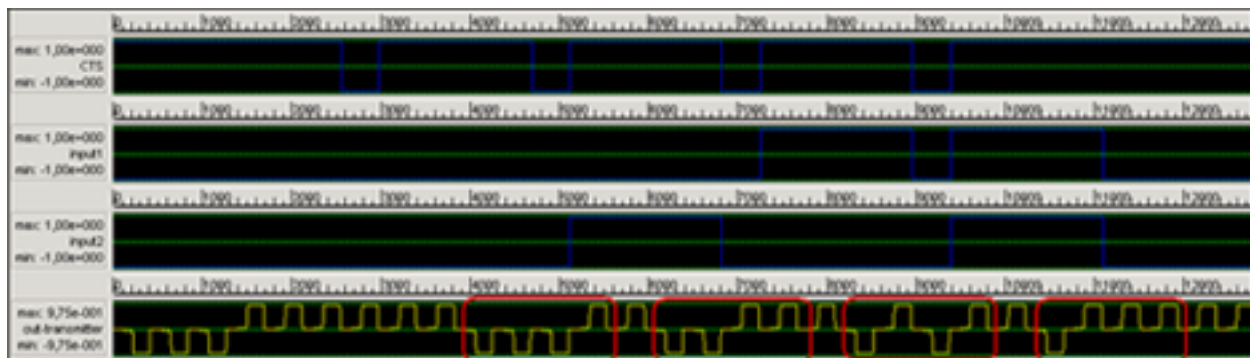
Slika 5. Oddajnik v QCA Designerju



Slika 6. Sprejemnik v QCA Designerju

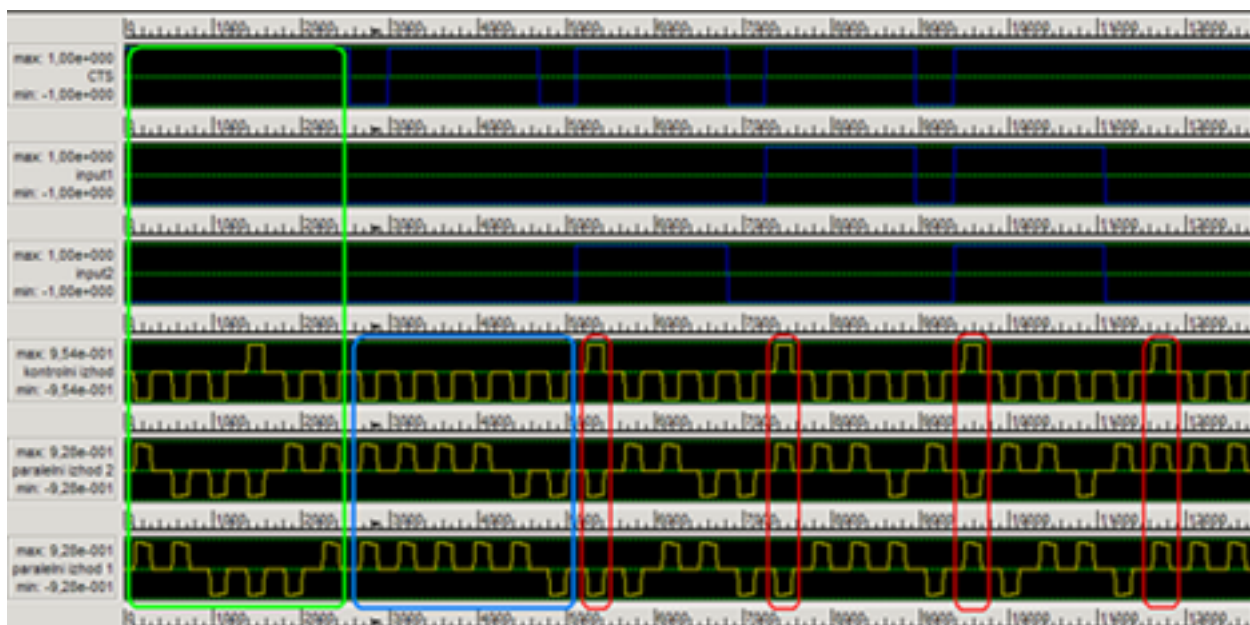
4. Rezultati

Naslednji časovni potek prikazuje vse možne kombinacije podatkov, ki smo jih poslali na serijsko linijo iz oddajnika. Prvi paket se pojavi na izhodu oddajnika po treh periodah od veljavnosti podatkov na vhodu.



Slika 7. Rezultat simulacije - poslani podatki na linijo iz oddajnika

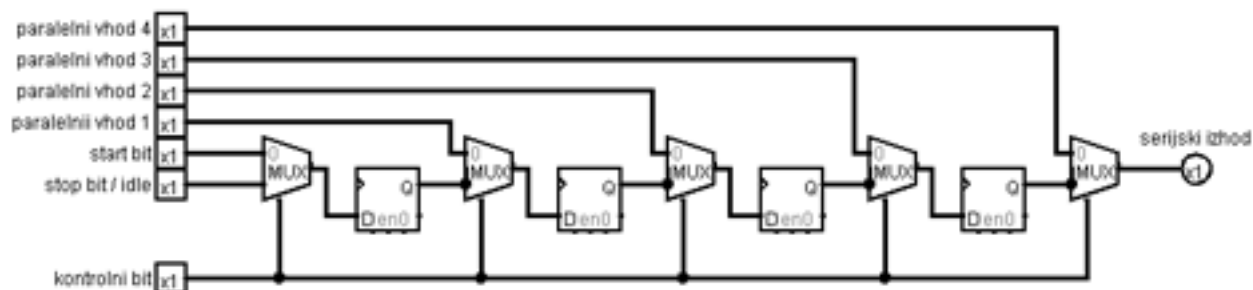
Skozi celoten sistem potuje podatek šest period, tri za oddajnik in tri za sprejemnik. Pri podaljševanju linije bi potrebovali več period. V tem času dobimo na izhodih naključne vrednosti, ki niso odvisne od vhodov. Na časovnem poteku simulacije so ti izhodi (pred inicializacijo sistema) označeni z zeleno barvo. Modra označuje inicializacijo sistema, ko so na liniji prisotne enice. Z rdečo je označeno kdaj so izhodi iz sprejemnika oz. celotnega sistema veljavni. Takrat je CTR (kontrolni izhod) v visokem stanju.



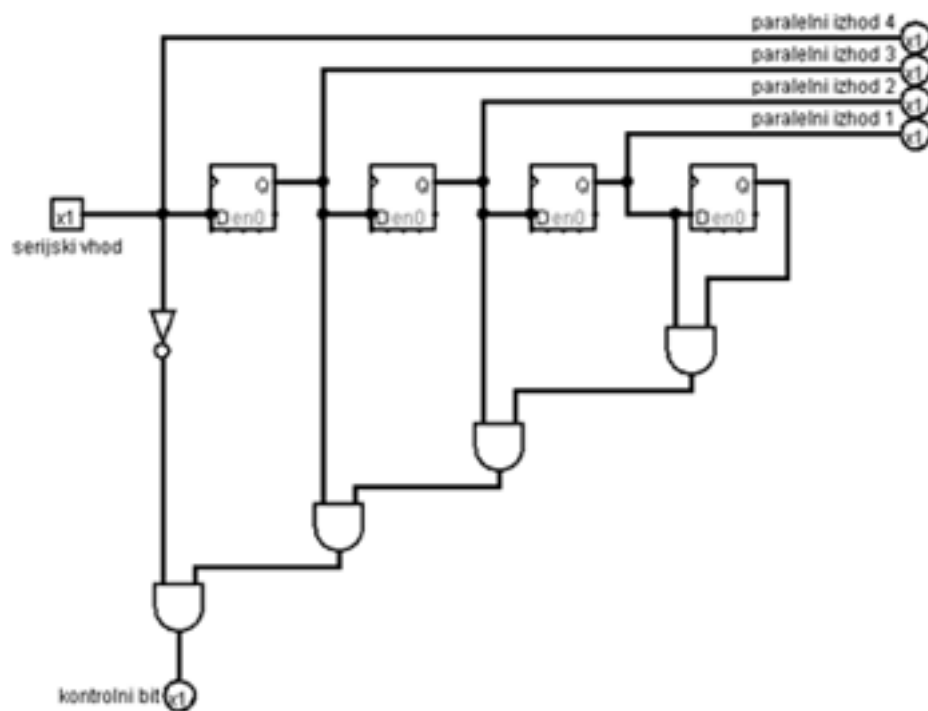
Slika 8. Rezultat simulacije - celoten sistem

5. Zaključek

V naši nalogi smo izdelali sistem za serijsko komunikacijo, kateri je zmožen pošiljati dva podatkovna bita v paketu. Možnosti razširitve tega sistema vidimo v razširjanju podatkovnega paketa, kot je prikazano na spodnjih dveh shemah.



Slika 9. Shema razširjenega oddajnika



Slika 10. Shema razširjenega sprejemnika

Razširitev pa smo realizirali tudi v QCA Designerju (slika na naslednji strani).



Slika 11. Razširitev v QCA Designerju

Literatura

Orač, T., 2007. Realizacija aritmetično-logičnih primitivov s strukturami kvantnih celičnih avtomatov.

Mraz, M., 2009. Zapiski s predavanj: Kvantni celični avtomati

<http://www.mina.ubc.ca/qcadesigner>