Naslovni Dekoder
1. seminarska naloga - ONT 2010/2011

Lambe Čočorovski
Zoran Špec
Klemen Pravdič

Fakulteta za računalništvo in informatiko

Univerza v Ljubljani

Tržaška 25, Ljubljana

Ljubljana, november 2010

Kazalo

1 UVOD

V okviru predmeta Optične in nano tehnologije nam je bila dodeljena seminarska naloga s področja načrtovanja struktur kvantnih celičnih avtomatov z odprtokodnim programskim orodjem QCADesigner.

1.1 Opis naloge

Cilj seminarske naloge je izdelava naslovnega dekoderja s pomnilnim vezjem. Dekoder mora vsebovati 2 ali 3-bitno naslovno vodilo in 1 ali 2-bitno podatkovno vodilo (*v nadaljevanju je uporabljen zapis "A/D dekoder"kjer je na mestu A število bitov za naslovni prostor in D število bitov za podatkovno izhodno in vhodno vodilo*) , signal READ/WRITE, ki določa ali naj se bere podatek iz pomnilnika na podatkovno vodilo ali piše podatek v pomnilnik s podatkovnega vodila.

1.2 Namen zahtevanega vezja

Načrtovano vezje mora glede na vhodne naslovne bite aktivirati točno določeno pomnilniško celico in izvesti operacijo branja ali pisanja v skladu s signalom READ/WRITE (R/W signal).

Pomnilniške lokacije so realizirane s pomnilniškimi celicami. Naslovni signali izberejo točno določeno pomnilniško celico (v primeru 2 bitnega podatkovnega vhoda se aktivirata 2 celici). Aktiviran signal READ (visoko stanje siganla R/W) ohrani stanje izbrane celice in pošlje njeno vsebino na podakovni signal. Signal WRITE (nizko stanje signala R/W) pa v aktivirano celico zapiše podatek na podatkovnem vodilu. Ostale neizbrane celice pa morajo ohraniti podatek.

Vse to v grobem zahteva le pravilno dekodirno logiko naslovnih signalov in W/R signla, ki so v odvisnosti od le teh in podatkovnega signala, pripeljani na J in K vhode pomnilnih celic. Zaradi poenostavitve rezultatov simulacij smo se odločili, da bomo ob operaciji WRITE, vse podatke takoj prenesli tudi na podatkovna vodila, čeprav je RAM v praksi realiziran drugače (odklopljen izhodni signal z visokim impedančnim stanjem).

2 REALIZACIJA VEZJA

2.1 Sestava vezja

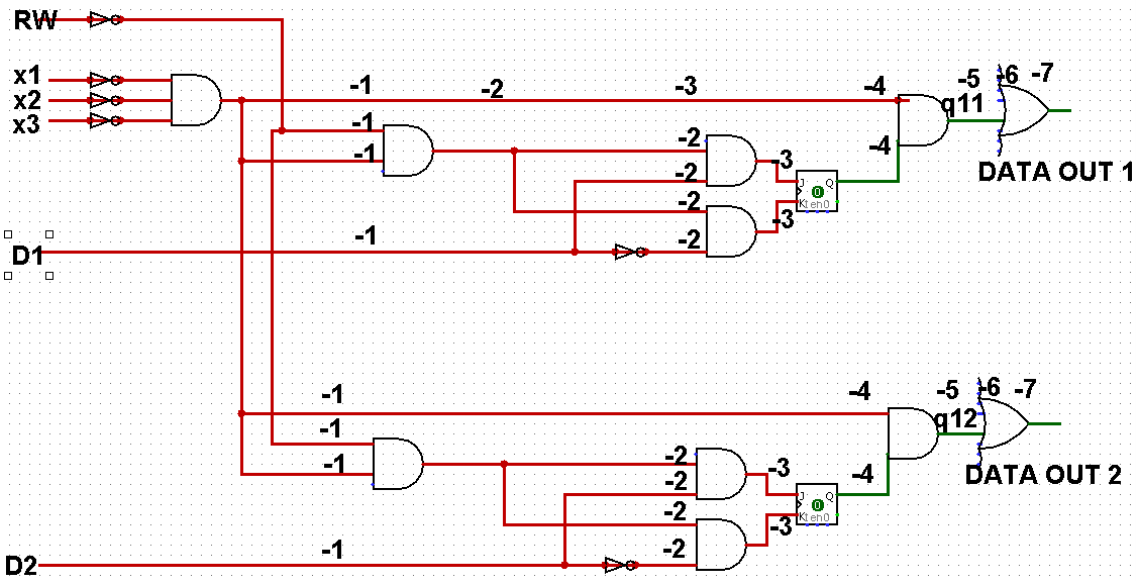
Vezje sestavljajo naslednji elementi in strukture:

- 3 naslovmi signali x1, x2, x3,
- signal READ/WRITE rw,
- 2 vhodna podatkovna signala $DATA\_IN\_1$ in $DATA\_IN\_2$,
- 16 izhodov na izhodni podatkovni vodili q11-q18 ter q21-q28,
- 2 izhodana podatkovna signala $DATA\_OUT\_1$ $DATA\_OUT\_2$,
- 16 JK pomnilnih celic

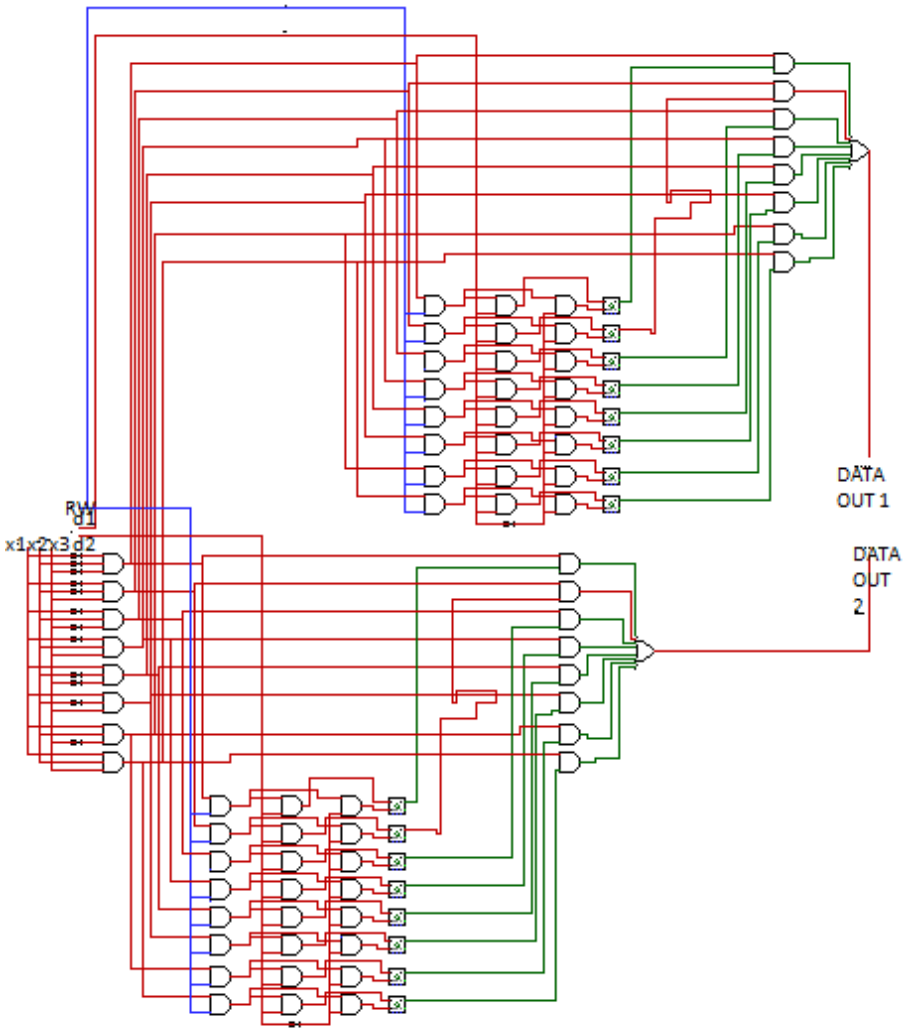
V vezju smo uporabili za dekodiranje signalov AND vrata, ki so realizirana v obliki majoritetnih vrat. JK celica je sestavljena iz dveh AND majoritetnih in enimi ALI majoritetnih vrat ter nagacijo.

2.2 Logična shema vezja z zakasnitvami

Slika 4 prikazuje logično shemo vezja prve plasti. To je 2-bitno pomnilno mesto za vhodno kombinacijo x1=x2=x3=0.
Vse druge plasti so enake, razlikujejo se le v dekodiranju naslovnih signalov x1, x2, x3, torej v največ treh negacijah. Vse drugo je identično, zato shema vsake posamezne plasti ni potrebna.
Na shemi prve plasti so tudi prikazane zakasnitve. Ko pride signal na izhod je zakasnjen za 5 urinih period. Kot vidimo so naslovni, podatkovni in READ/WRITE signal (RW) po vseh poteh enakomerno zakasnjeni. To je tudi pogoj za delujoče vezje.Na sliki 5 vidimo celotno logično shemo vezja.



Slika 1: *Logična shema vezja prve plasti. Na sliki so označene zakasnitve poteka signala skozi vezje, kjer številka pomeni šteivlo zakasnitev v urinih periodah glede na začetni signal na vhodu. Končna zakasnitev željenega rezultata je tako na koncu 7 period.*



Slika 2: *Logična shema celotnega vezja. Delovanje je enako na vseh plasteh. Tukaj pa so še vidna OR vrata, ki združijo signal iz posameznih plasti v izhodna signala DATA_OUT_1 in DATA_OUT_2*

2.3 Analiza zakasnitve vezja

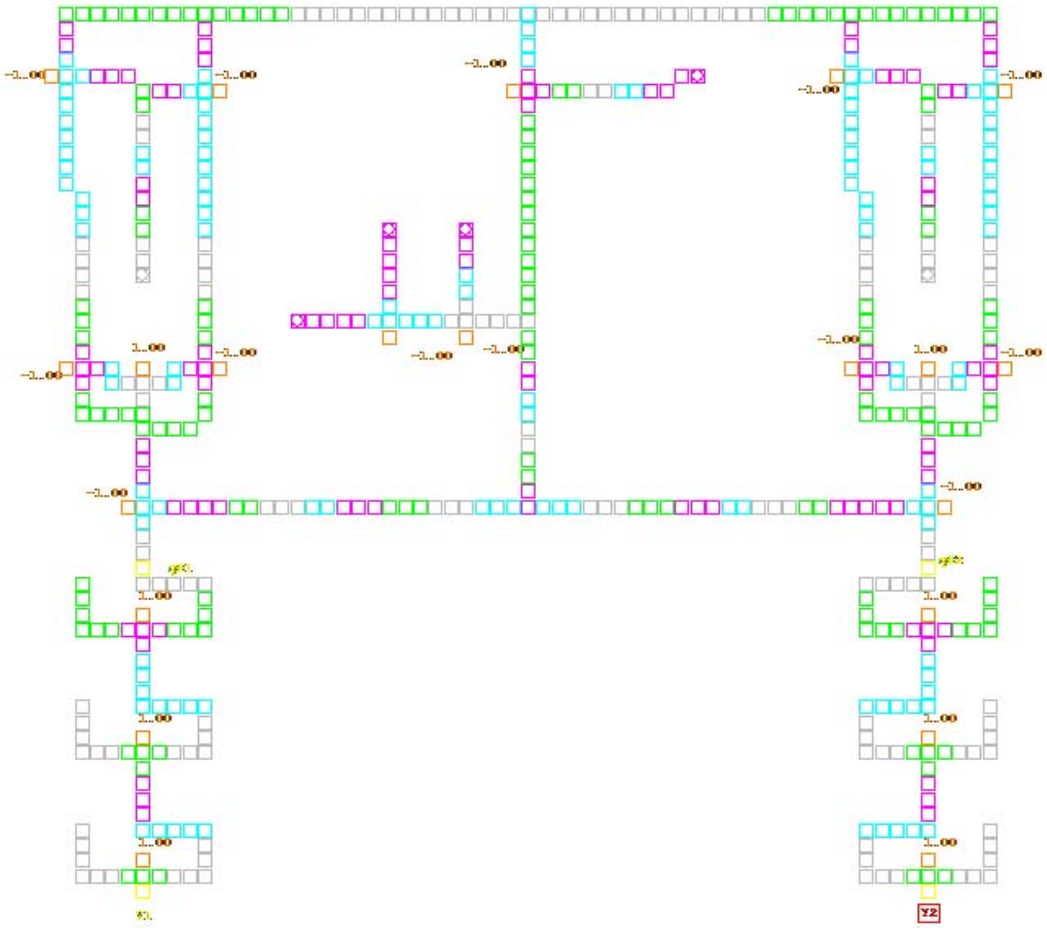
Vse operacije, ki jih uporabnik zahteva so izvršljive v eni urini periodi. To je mogoče zato ker ukazi prihajajo en za drugim vsako periodo in zakasnitve v vezju omogočijo nekakšno vrsto cevovodnega delovanja. Pri prehodih vezja skozi majoritetna vrata moramo navadno nastaviti uro celic tako, da bodo vhodni signali prihajali enakočasno skozi vrata. Temu se skoraj da ne moremo izogniti, če hočemo zagotoviti stabilnejše delovanje vezja. Tudi ko moramo postavici žico tako, da signal žavižeža 90 stopinj je v večini primerov potreben prehod na naslednjo uro. Ta je potrbna tudi pri slabljenju signala po ravni liniji.

Rezultat tega je ta, da za realizacijo vezja z velikim številom majoritetnih vrat (v našem primeru AND in OR vrata), JK celic in dolgimi linijami so zakasnitve potrebne (glej sliko 1 in 2). Edina slabost je začetna latenca.

2.4 Prikaz realizacije strukture vezja v QCA Designer-ju

Vezje je realizirano s petnajstimi plastmi. Na osmih plasteh se nahaja vezje z JK celico in dekodirno logiko vhodnih signalov. Ostalih sedem je vmesnih in povezujejo ostalih osem. Slika 3 prikazuje zadnjo - petnajsto plast. Na zadnji plasti se rezultat združi v $DATA\_OUT\_1$ in $DATA\_OUT\_2$ preko OR vrat. Vse skupaj je uporabljenih 7 dvovhodnih OR vrat. Logična funkcija je: ((1 OR 2) OR (3 OR 4)) OR ((5 OR 6) OR (7 OR 8)), kjer številke pomenijo številko plasti, če vmesnih ne štejemo.

Zadnja plast je glede na prvo plast, kjer so vhodni signali, zakasnjena v celoti za 1 periodo. Tako so že sami vhodi na zadnji plasti pravilni šele po prvi periodi. Iz slike je razvidno, da je izhod na podatkovno vodilo zakasnjen še za 6 period. To je razvidno tudi na slikah 8, 9, 11 in 12.



Slika 3: *Zadnja petnajsta plast, kjer je združen rezultat operacij iz vseh plasti preko OR vrat.*

3 POTEK DELA

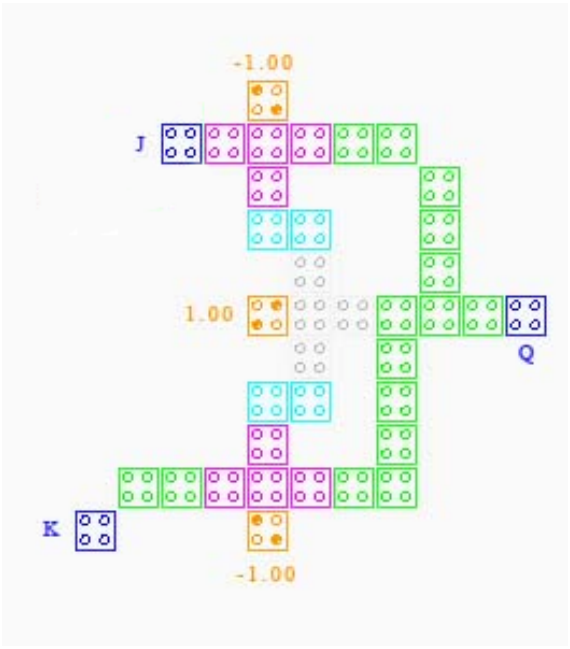
Naloga je zahtevala 2 ali 3 bitno naslovno vodilo ter 1 ali 2 bitno podatkovno vodilo. Kompleksnost vezja je torej bila odvisna od našega napredka pri izdelavi seminarske naloge. Odločili smo se, da bomo vezje izdelali postopoma in nadgrajevali rešitve tako, da bomo povečevali število naslovnih bitov.

Zaradi poenostavitve vezja smo podatkovno vodilo realizirali ločeno za vhod in izhod. Tako vezje vsebuje t.i. $DATA\_IN\_1$ in $DATA\_IN\_2$ ter $DATA\_OUT\_1$ in $DATA\_OUT\_2$ podatkovna vodila.

Za pomnilniške lokacije smo se odločili uporabiti JK pomnilne celice, saj hranijo podatek glede na stanje na vhodih J in K. Prav tako bi seveda lahko uporabili RS celice.

3.1 1/1 naslovni dekoder in JK celica

Najprej smo izdelali preprosti dekoder z 1-bitnim naslovnim in 1-bitnim podatkovnim vodilom, ter pomnilnim vezjem z dvema JK celicama. Cilj je bila uspešna povezave naslovne in podatkovne logike z dvema JK celicama, kar je osnovni pogoj za nadaljni razvoj vezja. Na sliki 1 je prikaz realizacije JK celice v QCADesignerju.



Slika 4: *Prikaz JK celice v QCADesignerju.*

3.2 2/1 naslovni dekoder

Po uspešnnem delovanju 1/1 dekoderja smo se lotili t.i. 2/1 dekoderja. To je dekoder s pomnilnim vezjem z 2-bitnim naslovnim in 1-bitnim podatkovnim vodilom. Ta naloga je bila občutno težja, saj se je vezje s tem povečalo več kot 2-krat z 4 JK celicami ter dodatnim vodilom in nekaj logičnimi vrati. Težave so začeli povzročati signali, ki so se na poteh po dolgih vodilih izgubljali in obnašali nepredvidljivo. Težavo ojačanja signalov smo reševali z razporejanjem vseh štirih sinhronizacijskih urinih perdiod in zakasnitev enakomerno po vezju ter izdelavo bolj simetričnega vezja.Vezje smo

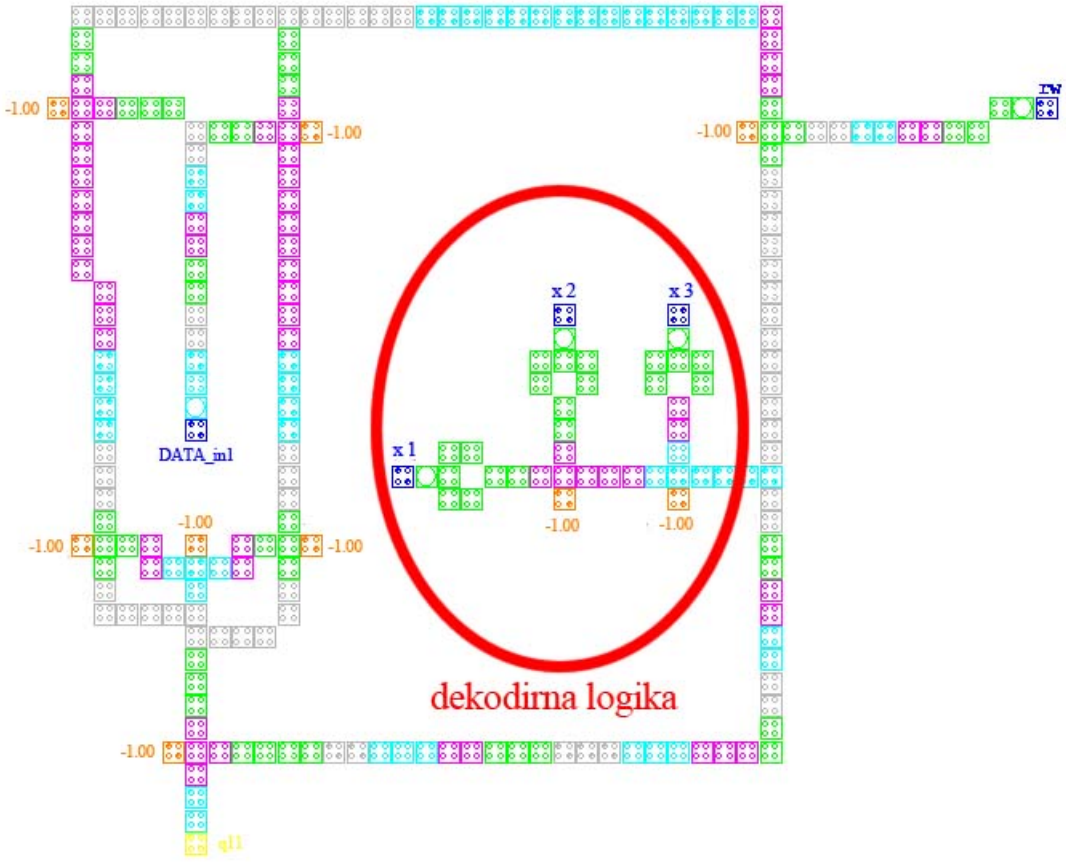
razdelili na 7 plasti tako, da je vsaka od 4 celic zasedla svojo plast. Še 3 dodatne plasti pa smo uporabili za njihovo medsebojno povezavo.

3.3 3/1 naslovni dekoder

Naslednji korak je bila izdelava 3/1 dekoderja s pomnilnim vezjem. To vezje ima 1 naslovni signal več od predhodnega. Tudi to je več kot podvojilo prejšnje vezje v smislu velikosti, saj je bilo potrebnih osem JK celic napram štirim prejšnje verzije.

3-1 dekoder je bil pomemben korak, saj smo dosegli skoraj končno dolžino povezav skozi plasti ter tudi število plasti, ki jih bo obsegalo vezje, za končno nadgradnjo na 3/2 pa je bilo potrebno podvojiti še vezje na posamezni plasti. Vezje smo realizirali s petnajstimi plasti. Vsaka od 8 JK celic je ležala na svoji plasti, vmes pa je bilo se dodatnih 7 plasti za povezavo.

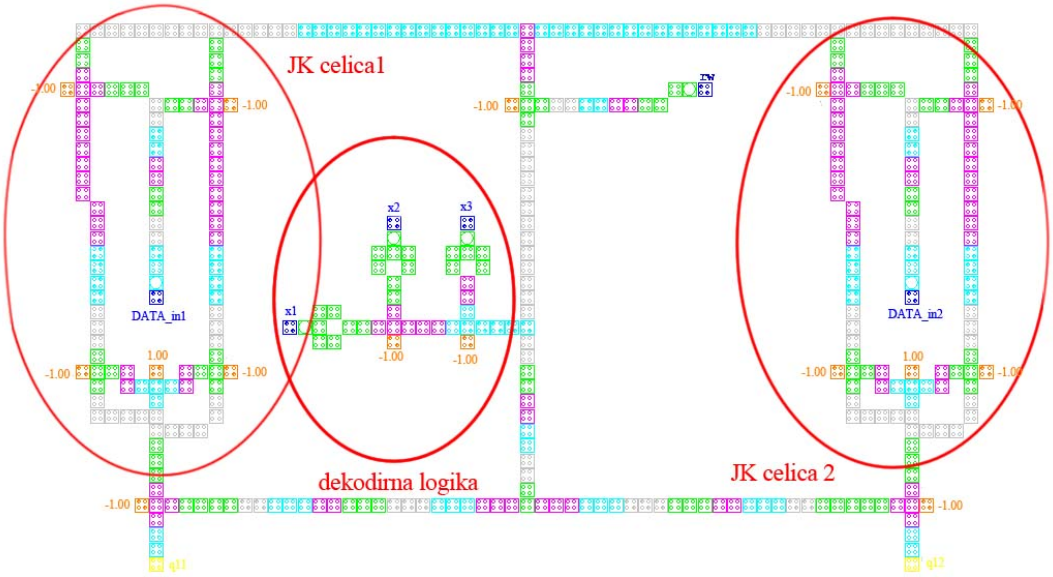
Problemi tega vezja so bili dolžina povezav in porazgubitev signalov ter postavitev elementov, da bi se izognili kar čimveč križanj. Enake probleme smo imeli tudi pri nadgradnji, zato bodo problemi opisani pri končni različici dekoder 3/2. Izdelava 3/1 pa je nasplošno zahtevala največ časa.



Slika 5: *Prikaz 3/1 naslovnega dekoderja.*

3.4 3/2 naslovni dekoder

Končni korak našega načrtovanje je bil naslovni dekoder v pomnilno vezje s 3-bitnim naslovnim in 2-bitnim podatkovnim vodilom. Taksno vezje omogoča pomnjenje in pisanje na 8 dvobitnih pomnilniških lokacij, za kar potrebuje 16 JK pomnilnih celic.



Slika 6: *Prikaz 3/2 naslovnega dekoderja..*

4 PRIKAZ DELOVANJA IN SIMULACIJA

V tem poglavju bo prikazano delovanje izdelanega vezja v nekaterih primerih branja in pisanja. Delovanje bo razvidno iz rezultata simulacije programa QCA Designer.

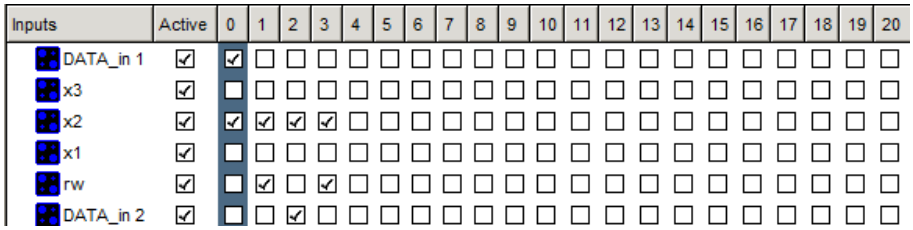
Vhodne signale v vezje podamo v simulaciji kot vhodne vektorje. Na shemah v prejšnjem poglavju smo videli, da pridejo na posamezne izbrane izhode q11, q21, q31, q41, q51, q61, q71, q81 in q12, q22, q32, q42, q52, q62, q72, q82 signali zakasnjeni 5, na izhodno podatkovno vodilo $DATA\_OUT\_1$ in $DATA\_OUT\_2$ pa 7 urinih period.

4.1 Opis delovanja pisanja in branja

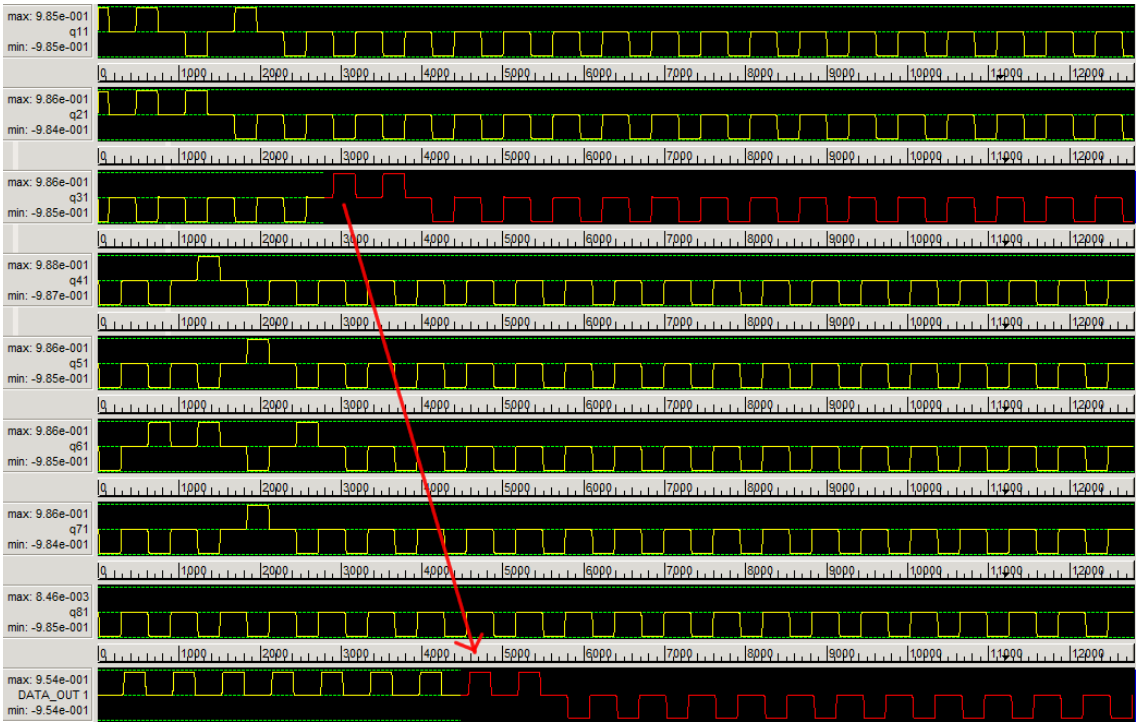
Vezje (glej sliko 1) deluje tako, da ob aktivnem signalu READ celici ohranjata stanje ne glede na vhodno stanje na podatkovnem vodilu. Ob aktivnem signalu WRITE pa se morata vhoda v JK celico J in K nastaviti tako, da se bo v ustrezno celico zapisal signal iz podatkovnega signala. Ker pa vse celice delujejo neprekinjeno in v vsaki periodi dobimo iz vseh 16 celic nekaj na izhodu, so pred izhodom iz celice še AND vrata iz katerih pride vrednost 0, v primeru, da celica na tem naslovu ni bila izbrana (vrednost na izhodu JK celice se ignorira) in vrednost na izhod iz JK celice, v primeru, da je bila izbrana celica na določenem naslovu.

4.2 Primer delovanja - 1

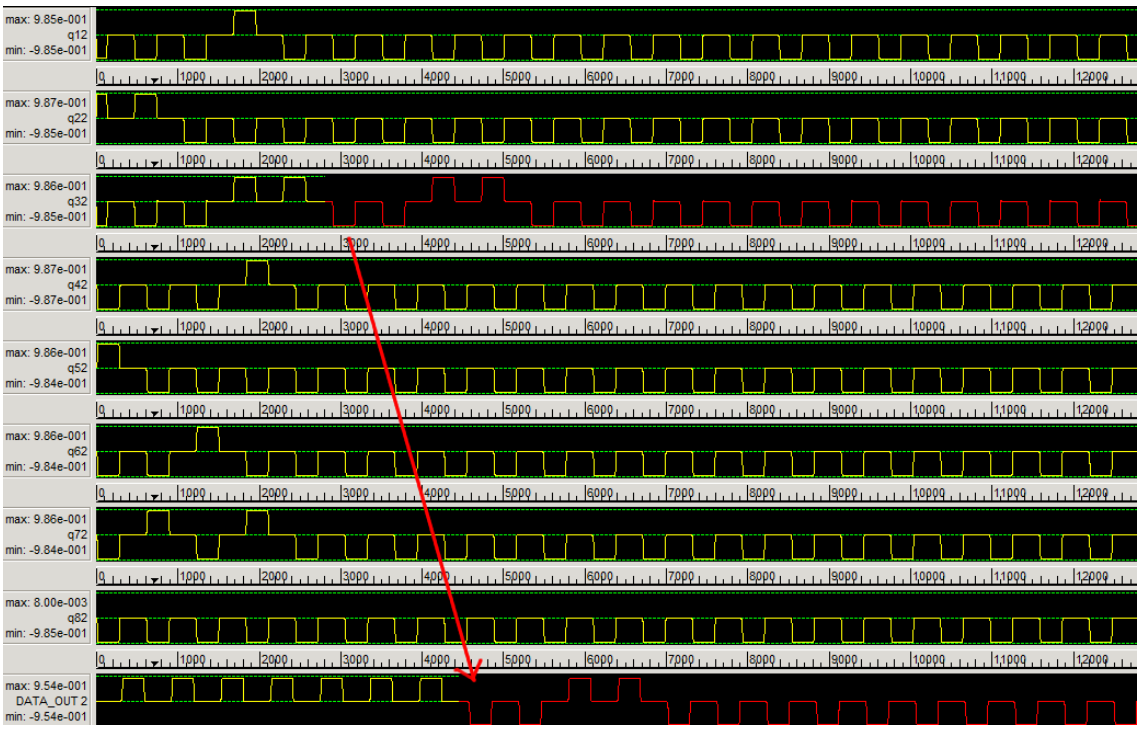
4.2.1 Slike iz simulatorja



Slika 7: *Vhodni testni vektor za primer 1.*



Slika 8: *Izhodni signali za DATA OUT 1 po plasteh in končen izhodni signal DATA_OUT_1.*



Slika 9: *Izhodni signali za DATA OUT 2 po plasteh in kočen izhodni signal DATA_OUT_2.*

4.2.2 Opis delovanja

- 0: Pisanje 10 na naslov 010. Na izhoda q61 in 62 iz naslova 010 pride vrednost 1 in 0. Ostali izhodi so v 5. periodi (po začetni latenci) na 0. Signala q61 i q62 preko OR vrat prideta nespremenjena na $DATA\_OUT\_1$ in $DATA\_OUT\_2$ zakasnjena še za 2 periodi. Ker so vsi ostali izhodi na lokacijah od 000 do 111 po vrednosti na 0, sta izhoda $DATA\_OUT\_1$ in $DATA\_OUT\_2$ enaka izhodom iz naslova 010. Delovanje je prikazano v prvem poglavju.
- 1: Branje podatkov iz naslova 010. Pri branju podatka iz naslova 010 se vhoda v JK celico nastavita na 00, tako da na izhodu dobimo vrednosti iz prejšnjega stanja JK celic. V tem primeru dobimo signal zakasnjen le za 1 periodo glede na rezultat prejšnje operacije, zaradi že omenjenega cevovodnega delovanja vezja.
- 2: Pisanje 01 na naslov 010. Analogno kot v periodi 0. Izhod dobimo v 9. periodi.
- 3: Branje podatkov iz naslova 010. Izhod dobimo v 10. periodi.
- 4: Pisanje 00 na naslov 000. Izhod dobimo v 11. periodi.

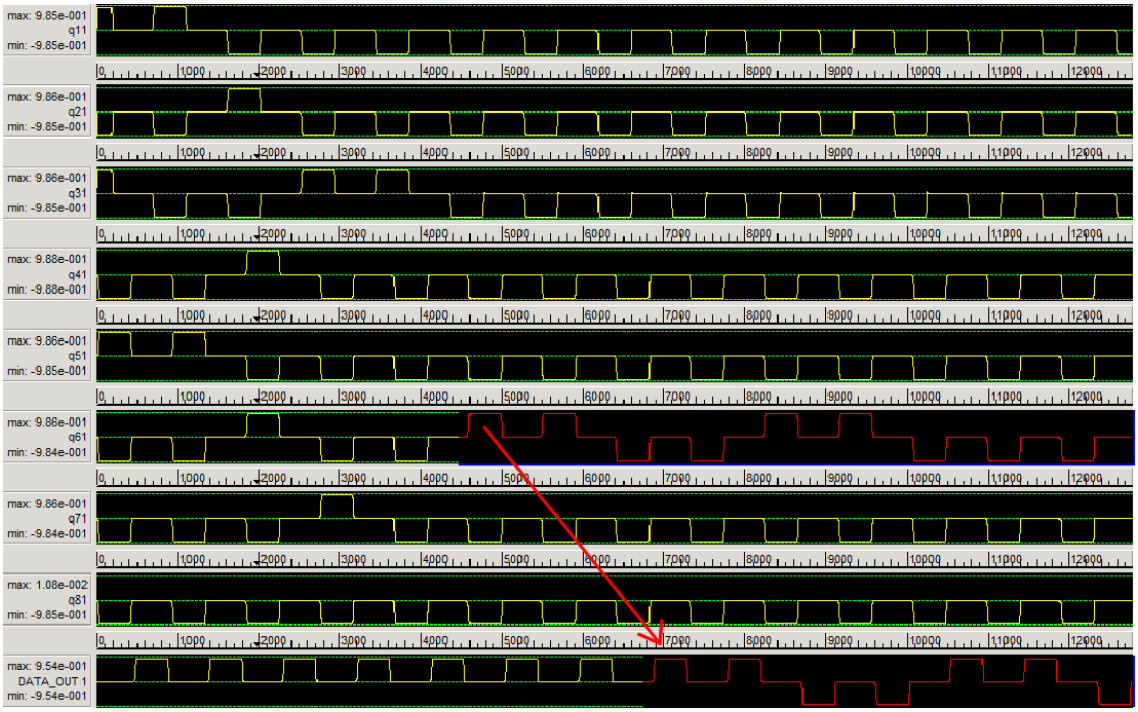
V tem primeru moramo na izhodu dobiti po zakasnitvi 7 period v osmi periodi zapisani podatek 10. Nato v deveti periodi beremo vrednost 10. V deseti periodi 01. V enajsti pa 01 tudi preberemo. Za tem sledijo vrednosti 00, ki pa so dodana samo zato, da so operacije od 0 do 3 bolj razločne.

4.3 Primer delovanja - 2

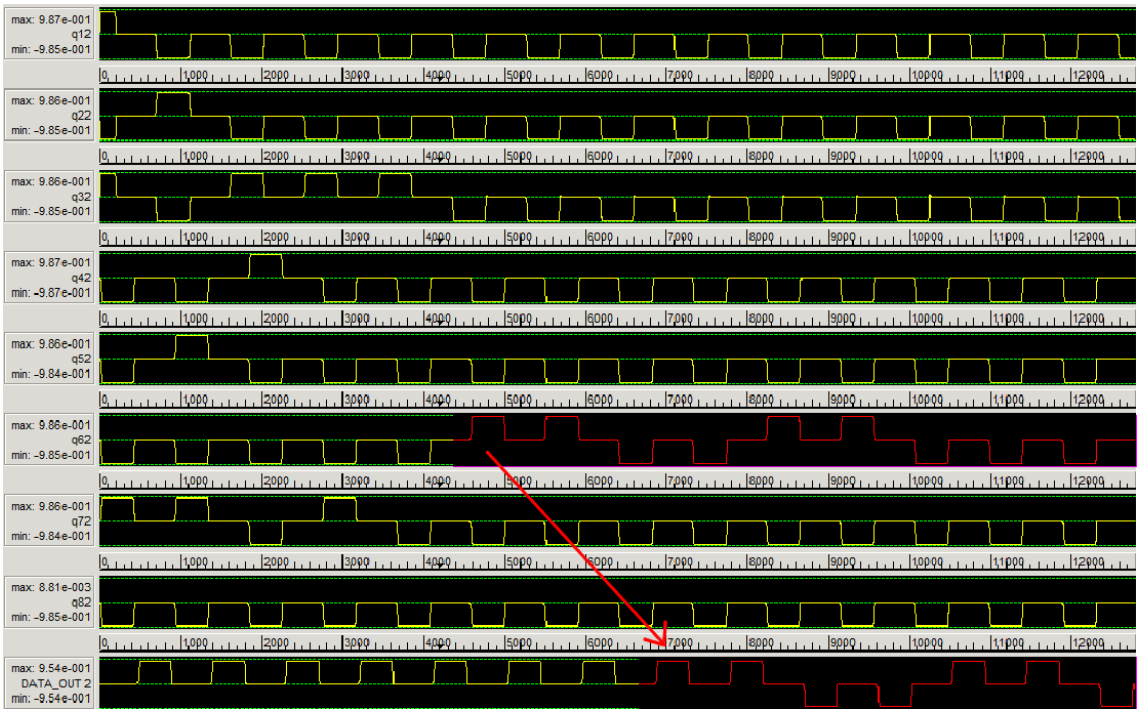
4.3.1 Slike iz simulatorja

Inputs	Active	0	1	2	3	4	5	6	7	8	9	10	11	12	13
DATA_in 1	☑	☑	☐	☐	☐	☑	☑	☐	☐	☐	☐	☐	☐	☐	☐
x3	☑	☑	☑	☑	☑	☑	☑	☐	☐	☐	☐	☐	☐	☐	☐
x2	☑	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
x1	☑	☑	☑	☑	☑	☑	☑	☐	☐	☐	☐	☐	☐	☐	☐
rw	☑	☐	☑	☐	☑	☐	☑	☐	☐	☐	☐	☐	☐	☐	☐
DATA_in 2	☑	☑	☐	☐	☐	☑	☑	☐	☐	☐	☐	☐	☐	☐	☐

Slika 10: *Vhodni testni vektor za primer 2.*



Slika 11: *Izhodni signali za DATA OUT 1 po plasteh in kočen izhodni signal DATA OUT 1.*



Slika 12: *Izhodni signali za DATA OUT 2 po plasteh in kočen izhodni signal DATA OUT 2.*

4.4 Opis delovanja

- 0: Pisanje 11 na naslov 101.
- 1: Branje podatkov iz naslova 101.
- 2: Pisanje 00 na naslov 101.
- 3: Branje podatkov iz naslova 101.
- 4: Pisanje 11 na naslov 101.
- 5: Branje podatkov iz naslova 101.

Razlaga je enaka kot v prejšnjem primeru. Tukaj moramo na izhodu dobiti po zakasnitvi 7 period v osmi periodi zapisani podatek 11. Nato v deveti periodi beremo vrednost 11. V deseti periodi pišemo 00. V enajsti pa 00 tudi preberemo. V dvanajsti pišemo 11. V trinajsti beremo 11. Za tem tako kot v primeru 1 sledijo vrednosti 00.

5 TEŽAVE IN NJIHOVO REŠEVANJE

Pri implementaciji vezja smo se soočali s kar nekaj težavami. Sledil bo njihov opis ter način reševanja teh težav.

5.1 Križanje linij

Eden od problemov je bilo križanje linij. Nemalokrat se nam je namrež zgodilo, da se je signal spremenil pri križanju linijskih povezav navkljub upoštevanju pravil križanja. Križanje naj bi bilo v QCA možno na eni plasti brez posebnosti, kljub temu pa glede na našo izkušnjo signal pri večkratnih križanjih ni več stabilen.

Pri vezjih od 2-1 naprej smo zato dobro premislili pri postavitvi vezja in vhodov v vezje, saj smo se le tako izognili nepotrebnim križanj. Preskušali smo tudi izogibanju križanja s povezavo na dodatni plasti, vendar nam je kasneje uspelo tudi brez tega s premišljenim postavljanjem vhodnih signalov.

5.2 Dolžina vodil in slabljenje signala

Veliko težavo so nam povzročala dolga vodila. Vezje z 16 JK celicami je namreč zahtevalo precej dolga vodila vhodnih signalov x1, x2, x3. Dogajalo se je namreč, da se je signal po dolgih linijah porazgubil oz. se je na koncu linije signal razlikoval od vhoda. Ta problem je bil najizrazitejši, ko smo poskusili vezje implementirati na 1 plasti (angl. layer).

Problem smo rešili tako, da smo vezje strateško razdelili na več plasti. Tako smo vhodne signale pripeljali skozi vse plasti, na vsako plast pa smo razvrstili le po 2 pomnilni celici JK. To je poenostavilo vezje z vidika posamezne plasti. Vhodne signale smo tako peljali skozi vseh 15 plasti. Ker je vhod signalov na prvi plasti, pa so na približno polovici poti na 8 plasti (od petega pomnilnega para JK celic naprej) signali že začeli slabeti, kar pa smo rešili z zamikom vezja za četrtino urine periode od 8 plasti naprej.

5.3 Nepredvidljivo obnašanje vezja

Ker je se je vezje z vsako nadgradnjo dvakrat povečalo ter se s tem povečevalo tudi število QCA celic v strukturi, je vezje postajalo vedno bolj nepredvidljivo oz. nestabilno. Iskanje vzrokov za nepredvidljivo obnašanje nam je vzelo največ časa. Da bi bilo vezje kolikor se da stabilno smo morali upoštevati:

- simetrijo postavitve elementov,
- pravilno sledenje vseh 4 četrtin urinih period,
- zakasnitev z urinimi periodami na daljših odsekih, majoritetnih vratih in negacijah.

5.4 Hrošči v programski opremi

Velikokrat smo imeli težave s QCA Designer-jem: Od problemov pri shranjevanju, do nenadne prekinitve delovanja programa pri poganjanju simulacije, ko se je program porušil. Simulacija se je včasih navkljub trivialni testni strukturi obnašala nekonsistentno. Našli smo hrošč v zvezi s konstanto v majoritetnih vratih, saj smo jo morali včasih izbrisati in ponovno nastaviti za pravilno delovanje.
Čeprav je to zgolj tehnični problem, je prav, da opozorimo nanj in s tem bodočim načrtovalcem v tem programu prihranimo čas, ko bodo iskali problem v strukturi vezja.

6 ZAKLJUČEK

Čeprav je na začetku zaradi raznih problemov kazalo, da bo precej težko implementirati že zgolj 1/1 ali 2/1 dekoder, nam je na koncu uspelo narediti 3/2.

Možna nadgradnja bi bilo multipleksirano podatkovno vodilo, kjer bi namesto dveh 2-bitnih ločenih podatkovnih vodil za vhod in izhod imeli eno multipleksirano 2-bitno, za kar pa bi potrebovali še nekoliko več časa. Z načrtovanjem 3/2 naslovnega dekoderja smo se namreč ukvarjali skoraj do zadnjega roka za oddajo.

Programsko orodje QCA Designer za delo vsekakor ni idealno, nam je pa vseeno dalo nekakšen vpogled na načrtovanje struktur QCA, brez poglobljenega poznavanja lastnosti kvantne fizike.

Literatura

[1] Jernej Virant, *Načrtovanje nanoračunalniških struktur, Uvod v nanoračunalniško logiko*, založba Didakta, d.o.o., Radovljica 2007, ISBN 978-961-6646-38-3.

[2] Miha Mraz, *Zapiski s predavanj: 2. Kvantni celični avtomati*, 2010

`http://lrss.fri.uni-lj.si/sl/teaching/ont/lectures/2_Quantum_dot_cellular_automata_BW.pdf`

[3] Primož Pečar, *Prosojnice iz vaj: Optične in nanotehnologije*, 2010

`http://lrss.fri.uni-lj.si/sl/teaching/ont/`

Uporabljena programska oprema

Za delo pri seminarju smo uporabili orodji:

- QCADesigner. Uradna spletna stran orodja:

  `http://www.mina.ubc.ca/qcadesigner`

- za sliko logične sheme pa orodje Logisim. Uradna spletna stran:

  `http://ozark.hendrix.edu/~burch/logisim/`